|  |  |
| --- | --- |
| ДИСЦИЛИНА | **Схемотехника устройств компьютерных систем Часть 2** |
|  |  |
| ИНСТИТУТ | **ИТ** |
| КАФЕДРА | **вычислительной техники** |
|  |  |
| ВИД УЧЕБНОГО | **Лекция** |
| МАТЕРИАЛА |  |
| ПРЕПОДАВАТЕЛЬ | **Тарасов И.Е.** |
|  |  |
| СЕМЕСТР | 3 |
|  |  |

2. Порядок разработки цифрового устройства и основные тенденции вычислительной техники

2.1. Основные сведения о технологии производства интегральных схем

Интегральная микросхема в упрощенном представлении выглядит как кремниевая пластина с тонким слоем оксида кремния (который получается окислением исходной пластины) и нанесенным слоем металла. Получившаяся структура дает название и всей технологии CMOS (КМОП) – Complementary Metal – Oxide – Semiconductor (Комплементарная структура Металл – Окисел – Полупроводник). При этом оксидная пленка выступает как диэлектрик, а термин «комплементарная» обозначает тот факт, что используются как p-, так и n-полупроводники, образующие комплементарную пару транзисторов.

Области пластины могут быть закрыты от обработки специальным материалом – фоторезистом. После его нанесения пластина освещается через фотошаблон, при этом часть фоторезиста разрушается и может быть удалена, открывая области пластины для обработки (например, химического осаждения металла). Процесс нанесения фоторезиста, его экспонирования, удаления излишков и обработки пластины с открывшимися участками повторяется многократно, в результате чего получается многослойная структура, в основе которой лежит полупроводниковая пластина.

Подготовка производства (включая изготовление уникального комплекта фотошаблонов) – весьма дорогостоящий процесс, причем по мере перехода к новым технологиям его стоимость возрастает почти экспоненциально. Это означает, что экономически более выгодно массовое производство микросхем, поскольку в этом случае стоимость подготовки производства будет распределена среди большего количества произведенных пластин. При этом себестоимость производства самой пластины крайне мала в сравнении с подготовкой фотошаблонов.

Высокая стоимость подготовки производства означает, что у разработчиков нет возможности проводить многократные эксперименты со схемой устройства, исправляя найденные ошибки, поскольку такие исправления означают повторные затраты на подготовку производства (NRE, Non-Recurring Engineering, безвозвратные инженерные расходы).

Такая ситуация означает, что при разработке необходимо минимизировать количество запусков производства (в идеале обойтись единственной итерацией подготовки производства), сосредоточившись на компьютерном моделировании и макетах на базе ПЛИС.

2.2 Технологический процесс, его характеристики

Под технологическим процессом понимается последовательность операций, выполняемая при производстве полупроводниковой пластины. Часто используются не вполне корректный термин вида «техпроцесс 10 нм». В действительности не существует единственного порядка операций для пластин «10 нм». Корректнее говорить о «технологическом процессе, используемом для нормы проектирования 10 нм», однако на практике эта фраза упрощается.

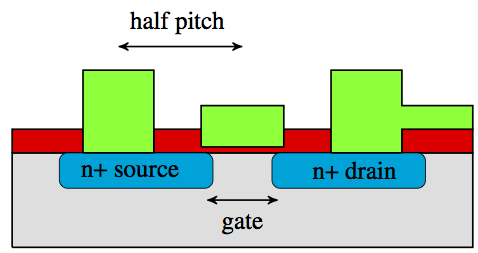
Понятие «норма технологического процесса» отражает тот факт, что на пластине уже не существует одного универсального размера, тем более относящегося к какому-то ключевому параметру схемы. Ранее этот параметр относился к так называемой circuit line width («ширина линии на схеме») и обозначал наименьшую толщину проводника, которую можно провести на кристалле. По мере уменьшения размеров компонентов какие-то из них переставали уменьшаться линейно, а какие-то пришли к определенному минимально допустимому размеру. Вместе с тем, производители используют условное обозначение «норма технологического процесса», которое обозначает некий базовый размер, относительно которого рассчитываются другие параметры.

Можно также обратить внимание на следующий ряд технологических норм:

180 – 130 – 90 – 65 – 45 – 28 – 20 – 14 – 10 – 7 – 5 – 3 – 2

В этом ряду следующее значение приблизительно в 1,41 раза (квадратный корень из 2) меньше предыдущего. Тогда получается, что плотность компонентов следующего поколения технологических процессов примерно в 2 раза выше. Это отражает не только технические законы, но и рыночные требования, поскольку тратить большие средства на освоение нового поколения технологии нерационально, если при этом нет значимого улучшения технических показателей.

Кроме уменьшения размеров элементов, используются и модификации архитектуры транзисторов. На рис. 2.1 показан срез традиционного планарного («плоскостного») транзистора. В нем можно видеть, что в основной пластине образованы области истока и стока (source и drain), между которыми образуется канал, управляемый полем затвора (gate). В зависимости от напряжения на затворе в области канала появляются носители заряда, что позволяет транзистору пропускать ток от истока к стоку.

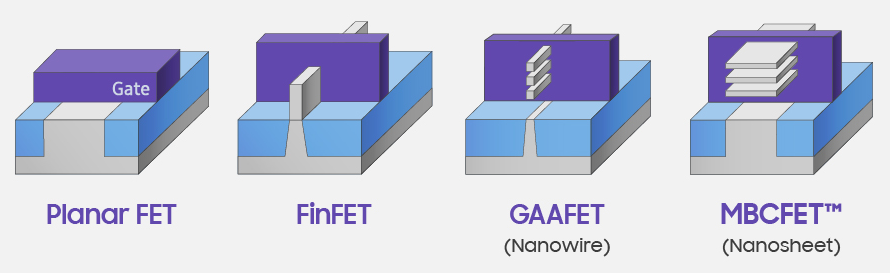


*Рисунок 2.1 Срез полупроводникового транзистора*

Можно понять и суть проблемы улучшения параметров транзистора – затвор должен находится как можно ближе, но при этом не контактировать с каналом. Уменьшать толщину диэлектрика до бесконечности нельзя, поэтому влияние затвора в плоском транзисторе рано или поздно дойдет до предела. Чтобы обойти это ограничение, разработаны варианты транзистора, где затвор тем или иным образом «охватывает» канал. Такая конструкция сложнее в изготовлении, однако влияние затвора на канал больше, а значит, можно добиться большей скорости переключения и/или уменьшить потребляемую мощность.

Подобные модификации транзистора появились, начиная с норм 16 нм, где был использован транзистор типа FinFET. Здесь аббревиатура FET означает Field Effect Transistor, а Fin в переводе означает «плавник», поскольку такая форма канала, выступающего вверх, напоминает спинной плавник рыбы.

На рис. 2.2 показаны варианты транзисторов.



*Рисунок 2.2 Варианты транзисторов, выполняемых по различным интегральным технологиям*

Модификация GAAFET расшифровывается как Gate All Around, т.е. «полностью охватывающий затвор». Это следующий шаг по сравнению с FinFET. Аббревиатура MBCFET означает Multi-Bridge Channel. На рис. 2.2 видно, что новые модификации ориентированы на возможно более «плотный» охват канала затвором. На данный момент только технология FinFET получила устоявшееся применение, остальные же являются экспериментальными и находятся в стадии освоения. В целом можно отметить, что отклонения от плоскостного исполнения элементов транзистора усложняют технологические операции.

В таблице 2.1 приведены сравнительные характеристики современных технологических процессов.

Таблица 2.1 Некоторые характеристики современных

технологических процессов

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Год | 2013 | 2015 | 2017 | 2019 | 2021 |
| Обозначение | 16/14 | 10 | 7 | 5 | 3 |
| «Шаг» координатной сетки (half pitch), нм | 40 | 32 | 25 | 20 | 16 |
| Ширина транзистора FinFET, нм | 7,6 | 7,2 | 6,8 | 6,4 | 6,1 |
| Число логических вентилей 4И на кв. мм., млн | 4 | 6,4 | 10,1 | 16,1 | 25,5 |
| Напряжение питания транзисторов, В | 0,86 | 0,83 | 0,8 | 0,77 | 0,74 |
| Максимальное число слоев для трассировки | 13 | 13 | 14 | 14 | 15 |
| Длина затвора транзистора, нм | 20 | 17 | 14 | 12 | 10 |

Анализ таблицы позволяет увидеть, что многие характеристики достигли насыщения и практически перестали изменяться. В то же время, например, плотность компонентов («логических вентилей 4И»), продолжает расти почти линейно. Это позволяет говорить о том, что следующее поколение технологических процессов обеспечивает значимое улучшение характеристик по сравнению с предыдущим, однако это изменение не всегда затрагивает каждый конкретный параметр.

2.3 Понятие технологического сдвига

В ряде источников используется термин «технологический сдвиг». Он иллюстрирует ситуацию в микроэлектронике, когда изменение технологических норм приводит к качественному изменению подходов к проектированию. Если говорить о всем многообразии цифровых схем, не все из них будут устойчиво работать по мере уменьшения технологических норм.

Важным этапом стал переход к нормам 130-90 нм. При этом задержки на проводниках стали сопоставимы с задержками на логических элементах (до этого задержки на проводниках были сравнительно малы). Поэтому ряд схем, созданных в предположении, что задержкой на соединительных проводах можно пренебречь, стали работать неустойчиво. В первую очередь это затронуло схемы со стробированием, формирователями импульсов, защелками, и другими узлами схем, где в расчет принималось только количество компонентов в цепочке преобразования сигнала. Вместо этого актуальным стал так называемый синхронный стиль проектирования схемы. Он подразумевает, что схема строится вокруг набора триггеров, тактируемых фронтом тактового сигнала, который подается на них одновременно. Правила синхронного проектирования будут рассмотрены далее в материалах курса.

Другим важным переходом стали нормы 28-16 нм. Влияние проводников стало еще больше, к тому же добавились существенные вариации параметров при изготовлении микросхем. Указывая определенные величины в проекте, сложно рассчитывать, что все микросхемы будут изготовлены в точности с этими параметрами. Подробнее о комплексе проблем излагается в разделе 2.6.

Значение технологического сдвига заключается в том, что в зависимости от используемого технологического процесса необходимо учитывать, какие проблемы возникнут при реализации проектируемой схемы. Необходимо применять соответствующие архитектурные решения, отвечающие требованиям технологического процесса. Практическим выводом является то, что описание модуля на языке описания аппаратуры, хотя и декларируется как переносимое между технологиями и платформами, не всегда может быть реализовано с применением технологического процесса.

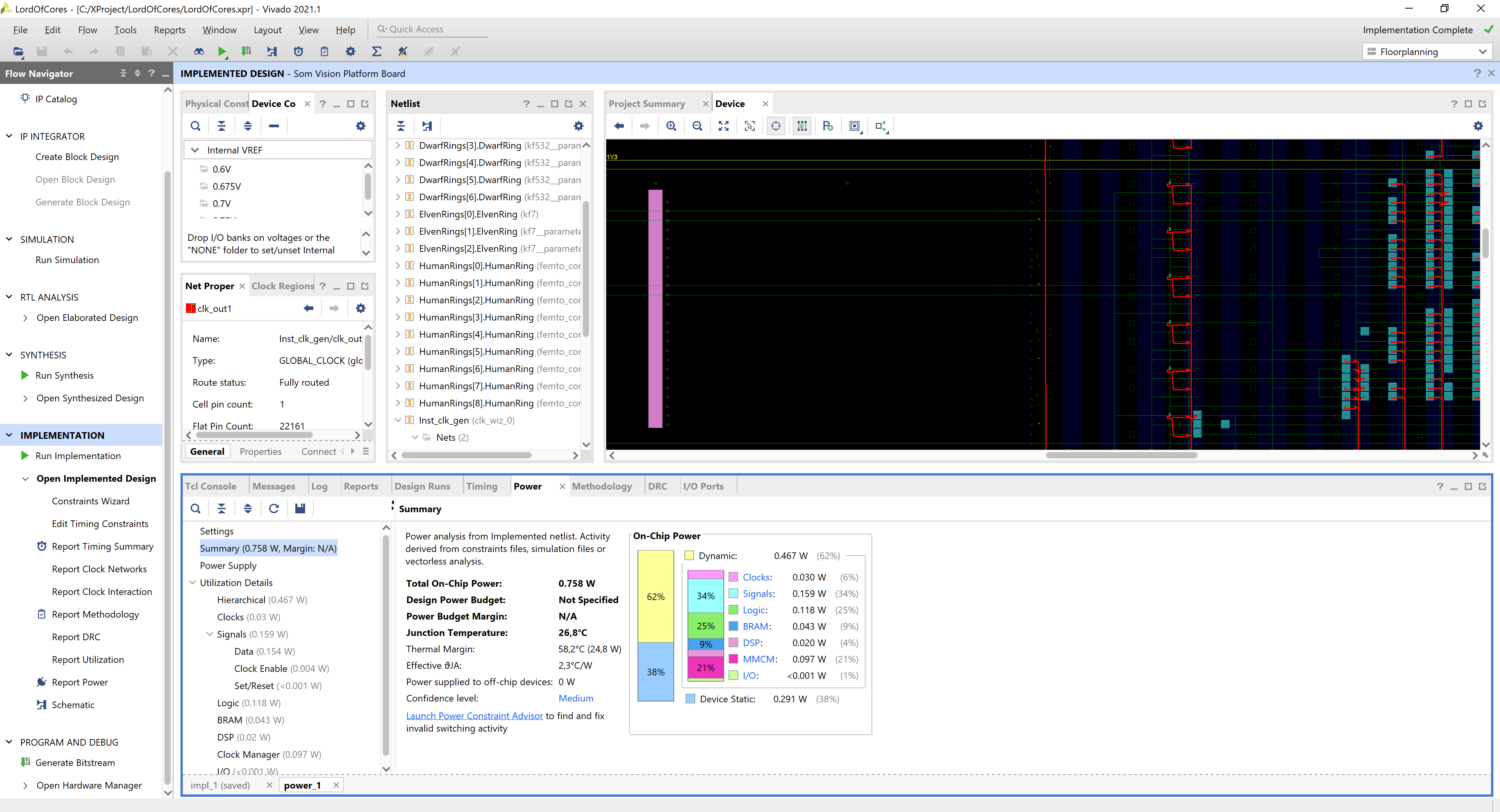
2.4 Потребление энергии интегральными схемами и понятие Power-Delay Product

Определение потребляемой энергии играет роль не только в определении стоимости эксплуатации микросхемы или времени ее автономной работы от аккумулятора. Важнейшим фактором здесь является плотность выделяемого тепла, которая экспоненциально возрастает по мере уменьшения технологических норм. Это представляет большую проблему, которая не вполне решается увеличением размера радиатора или установкой более мощного вентилятора для процессора.

Процесс передачи тепла описывается уравнением теплопроводности Фурье. Оно определяет, что при контакте двух тел количество передаваемой теплоты пропорционально площади контакта, коэффициенту теплопроводности, а также величине градиента температуры (т.е. разницы температур, деленной на расстояние между точками, где эта температура измерена). Таким образом, чтобы тепло передавалось от микросхемы к радиатору, микросхема должна иметь более высокую температуру. Кроме того, микросхема выделяет тепло не в районе крышки корпуса, где установлен радиатор, а на полупроводниковом кристалле. Поэтому даже при достаточно холодном радиаторе крышка корпуса будет иметь более высокую температуру, а кристалл внутри корпуса – еще более высокую. При превышении предельной температуры микросхема разрушится (причем достаточно превысить температуру в небольшой локальной области для ее выхода из строя). Все это обуславливает внимание к проблемам выделения тепла микросхемами.

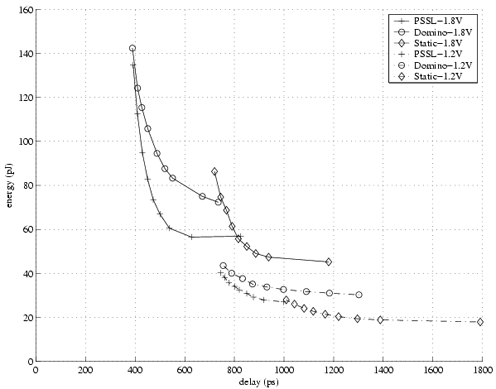
Энергопотребление микросхем делят на две большие составляющие – статическое и динамическое потребление. Статическое потребление не зависит от режима работы микросхемы и существует всегда (хотя может быть и довольно небольшим). Динамическое потребление обычно пропорционально тактовой частоте, на которой работает микросхема, и обусловлено необходимость затрат энергии на переключение транзисторов и перезарядку емкостей, образующихся между проводниками внутри схемы.

Проекты на базе ПЛИС могут быть оценены с точки зрения потребляемой энергии. Такая оценка производится средствами САПР и использует достаточно простые, приближенные модели, на основе простого подсчета количества компонентов ПЛИС, использованных в проекте. Это дает приемлемую картину потребления, позволяющую выбрать систему охлаждения. На рис. 2.3 показан пример расчета потребляемой энергии в САПР ПЛИС (Xilinx Vivado). Можно видеть, что выделены статическая и динамическая составляющие, а динамическая дополнительно разбита по группам компонентов в составе ПЛИС.



*Рисунок 2.3 Пример расчета потребляемой энергии в САПР ПЛИС*

Потребление компонентов ПЛИС определяется их конструкцией и зависит от того, какие именно варианты компонентов были применены производителем. В то же время в СБИС существуют библиотеки компонентов, содержащие разные варианты одного и того же элемента. Если обратиться к чертежу транзистора, можно увидеть, что путем изменения размеров затвора и диэлектрика можно регулировать задержку переключения, однако ценой потребляемой мощности. Например, если увеличить площадь затвора и уменьшить толщину диэлектрика, влияние затвора на канал станет сильнее, и переключение будет происходить быстрее. Однако такой затвор потребует больше энергии для переключения, а тонкий диэлектрик обусловит и больший ток утечки. В целом имеет место зависимость «больше быстродействие – больше энергопотребление». Пример такой зависимости показан на рис. 2.4.



*Рисунок 2.4 Пример исследования зависимости между задержкой распространения сигнала и энергией переключения*

На рис. 2.4 видно, что добиться снижения задержки ниже определенного порога не удается – потребление энергии начинает быстро возрастать, а задержка при этом так и не снижается. Аналогично, если увеличивать задержку, то энергопотребление падает до какой-то величины, после чего перестает снижаться. Это означает, что существует какое-то оптимальное (не обязательно в строгом математическом смысле слова) сочетание задержки переключения и энергопотребления. Можно оценить компонент по произведению задержки и энергии переключения (или мощности переключения). Это произведение называется Power-Delay Product (PDP), или Energy-Delay Product (EDP). Оно не имеет смысла для ПЛИС, поскольку компоненты ПЛИС уже выбраны производителем и имеют вполне определенные характеристики. Однако при разработке новой микросхемы необходимо избегать как слишком медленных компонентов, так и слишком много потребляющих. Как правило, речь идет не о подстройке каждого отдельного логического элемента, а о выборе наиболее подходящего варианта библиотеки компонентов. Кроме того, современные САПР обладают возможностями автоматической оптимизации фрагментов схем с выбором такого варианта, который не создает проблем из-за слишком большой задержки, и имеет при этом небольшое энергопотребление.

2.5 Современные тенденции и проблемы: темный кремний, GALS, стена памяти

Технологические процессы, начиная с норм приблизительно 28 нм, формируют ряд фундаментальных проблем, которые не могут быть автоматически обойдены в САПР по принципу «нажатия кнопки». Если в проекте изначально заложены решения, игнорирующие эти проблемы, в процессе работы специалисты неизбежно столкнутся с существенными сложностями, которые приведут к снижению характеристик микросхемы относительно ожидаемых.

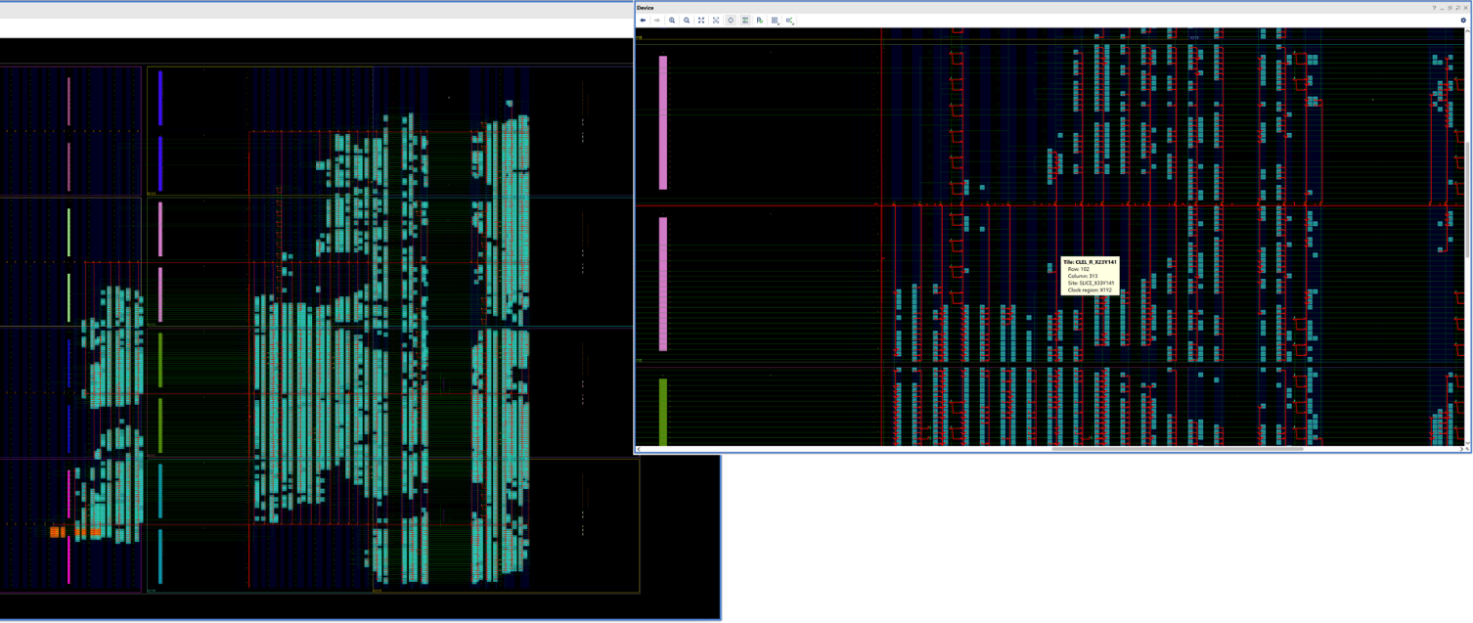
Проблема «темного кремния» (dark silicon) заключается в том, что при большой плотности компонентов они выделяют слишком много тепла. Отдельный вопрос – повышение качества системы теплоотвода, однако для этого нужно обеспечить хороший тепловой контакт между полупроводниковой пластиной и радиатором. Это осложняется тем, что вещества, хорошо проводящие тепло, обычно хорошо проводят и ток. Поэтому в отрасли пока не удается разместить на кристалле большое количество одновременно работающих транзисторов.

Для того, чтобы снизить тепловыделение, можно уменьшить его динамическую составляющую. Например, если комплементарная пара транзисторов не переключается из одного логического состояния в другое, для нее отсутствует процесс протекания сквозного тока, который является составной частью динамического потребления. Этот процесс может быть специально запланирован – например, если в микросхеме имеются модули, которые заведомо не работают одновременно, выделять тепло, соответственно, будут те модули, в которых действительно переключаются сигналы. Остальные (неработающие) модули в этом представлении выглядят «темными», т.е. неактивными или отключенными.

Эта проблема не имеет общепризнанного решения. Разработка должна планироваться таким образом, чтобы рядом не оказалось большого количества компонентов, которые будут работать одновременно. Если это происходит, в худшем случае на кристалле придется предусматривать промежутки между одновременно работающими модулями, что приводит к неоправданному росту площади, расходуемой впустую. В ряде случаев схема заведомо работает так, что только часть компонентов активны в каждый момент времени. Например, арифметико-логическое устройство содержит несколько узлов, каждый из которых выполняет конкретную операцию. Если не изменять операнды на входах тех узлов, которые не используются в настоящий момент, их энергопотребление будет снижено.

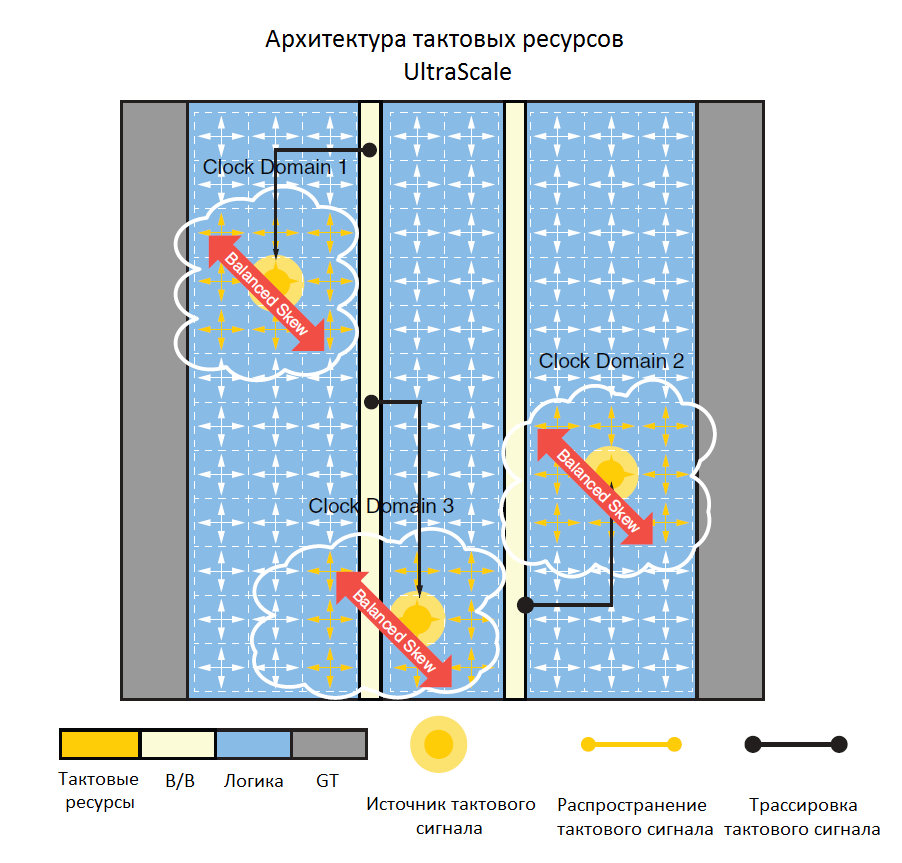
Высокоспециализированные схемы напротив, часто содержат только постоянно работающие компоненты. Для таких схем проблема темного кремния может быть существенной.

Аббревиатура GALS обозначает Globally Asynchronous, Locally Synchronous (глобально асинхронные, локально синхронные) схемы. Она описывает архитектуру микросхемы, в которой вынужденно присутствует несколько тактовых сигналов. Разработчик может запланировать один тактовый сигнал, однако если схема занимает большую площадь, такой сигнал может оказаться сложно развести по кристаллу на всей необходимой площади. На рис. 2.5 показан пример тактовой сети, проведенной в ПЛИС (линия выделена красным). Для такого сигнала нужно, чтобы он был проведен линиями приблизительно одинаковой длины, иначе разные компоненты будут срабатывать несинхронно. Один из способов достижения этого – проведение тактовых сигналов в форме, напоминающей ветки дерева (clock tree – тактовое дерево).



*Рисунок 2.5 Пример трассировки тактовой сети в ПЛИС*

Поскольку тактовое дерево по мере возрастания площади становится все сложнее реализовать, рано или поздно придется ограничить площадь, на которой это дерево размещено. Если микросхема все же должна иметь большую площадь, на ней можно разместить несколько тактовых сетей, которые будут размещены в независимых регионах. Компоненты в каждом из регионов работают синхронно (т.е. они «локально синхронны»), однако разные регионы используют разные тактовые сигналы («глобально асинхронны»). Пример микросхемы большой площади с несколькими тактовыми регионами показан на рис. 2.6.



*Рисунок 2.6 Архитектура тактовых ресурсов ПЛИС большого логического объема*

Необходимость следования архитектуре GALS не следует из каких-либо теоретических положений цифровой схемотехнике. Можно описать схему, которая будет занимать большую площадь, и только при попытке реализовать тактовые сигналы станет понятно, что не удается обеспечить одновременное поступление тактового сигнала на все компоненты, которые этого требуют. Разделение микросхемы на несколько регионов помогает решить эту проблему.

Термин «стена памяти» и близкий к нему по смыслу термин «стена интерфейсов» отражают тот факт, что по мере возрастания размеров микросхемы производительность вычислений растет пропорционально квадрату размера (т.е. площади), однако данные из внешних источников (памяти и других интерфейсов) поступают через периферийные интерфейсы, пропускная способность которых растет пропорционально не квадрату, а линейному размеру кристалла. Эта проблема носит фундаментальный характер, поскольку небольшие колебания (например, улучшение характеристик конкретного внешнего интерфейса) не может принципиально изменить общую картину. Например, кристалл, состоящий из двумерной сетки процессорных ядер, потребует передачи большого потока данных для обработки. Для ядер, расположенных на периферии кристалла, это возможно, однако ядра, расположенные внутри, вынуждены получать данные, пропускаемые через соседние ядра, или же простаивать.

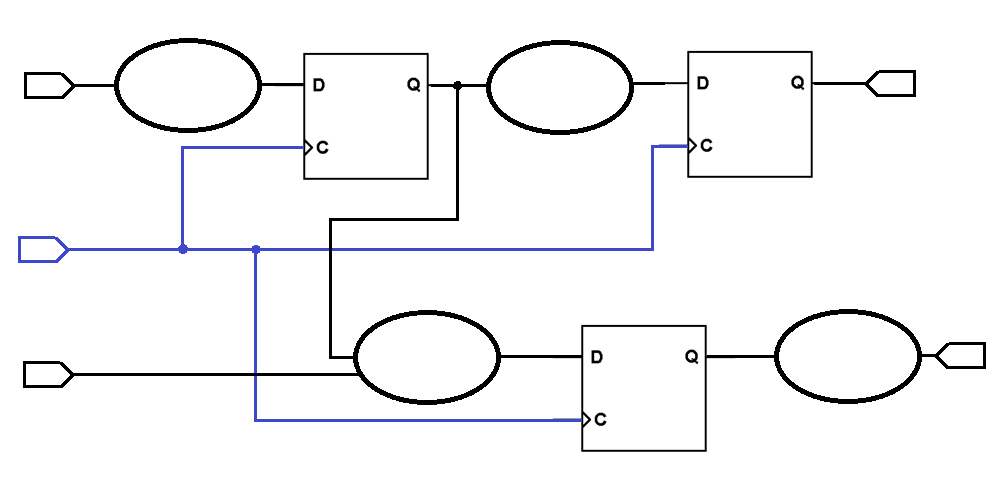
Проблема «стены памяти» также не имеет универсального общепризнанного решения. Она несколько смягчена для микросхем, которые выполнены по архитектуре «системы на кристалле» (System On Chip, SOC). В этой архитектуре предполагается, что основные потоки данных передаются внутри микросхемы, между ее компонентами, а внешняя память большого объема не так важна. Архитектура класса «система на кристалле» не имеет единственно возможного варианта реализации, этот термин используется для большого класса микросхем и его конкретные признаки несколько размыты. В целом считается, что к СНК можно отнести микросхему, в которой используется несколько разнородных подсистем, образующих готовое устройство – например, процессор, памяти и периферийные контроллеры.

2.6. Синхронный стиль проектирования

Начиная с технологических норм 130 – 90 нм, в цифровой электронике стало важным использовать синхронный стиль проектирования. Если ранее задержки распространения сигналов в схеме можно было достаточно хорошо предсказывать на основе подсчета количества элементов на отдельных участках схемы, то при переходе к указанным нормам задержки распространения на логических элементах уменьшились, а задержки в соединительных линиях в целом изменились несущественно. Поэтому более надежным вариантом стало применение синхронных схем. Они основаны на триггерах, изменяющих свое состояние по фронту тактового сигнала (D-триггерах). Между триггерами находятся комбинационные схемы, состоящие из логических вентилей и подобных им компонентов. По фронту тактового сигнала все триггеры записывают новое значение, определяемое их входом данных. После этого на входах комбинационных схем появляются новые значения, и они начинают изменение своих выходов с определенной задержкой. К моменту прихода следующего фронта тактового сигнала все триггеры должны получить правильное значение на своих входах.

При таком подходе для схемы появляется понятие «максимально допустимая тактовая частота». Если превысить ее, для какого-то триггера окажется, что на его входе еще не появилось правильное новое значение, и схема в целом будет работать неправильно. Однако это же позволяет и простым способом обеспечить работоспособность схемы – понизить тактовую частоту до величины, когда период тактового сигнала будет превышать максимальную задержку распространения, которая есть в этой схеме.

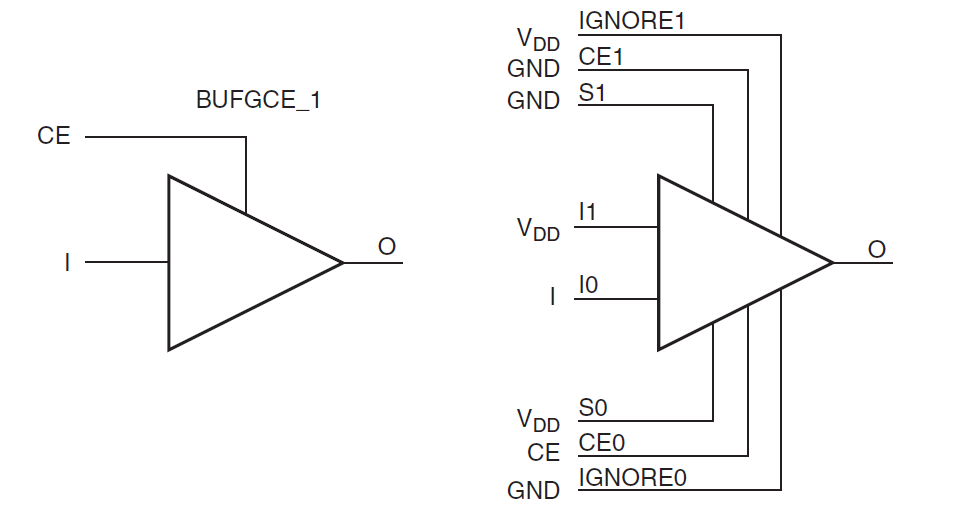
На рис. 2.7 показан пример цифровой схемы, соответствующей требованиям синхронного стиля проектирования. В этой схеме используется один тактовый сигнал, поданный на все триггеры, между которыми размещены комбинационные узлы (показанные овалами).



*Рисунок 2.7 Пример цифровой схемы, соответствующей требованиям синхронного стиля проектирования*

Для практического использования синхронного стиля необходимо использовать соответствующие компоненты, специально предназначенные для работы с тактовыми сигналами. Например, в ПЛИС для этого существуют аппаратные модули, которых не появляются автоматически при переносе проекта в СБИС. Кроме того, за применением этих модулей в проекте необходимо следить, иначе тактовые сигналы будут проведены не с применением специально размещенных в ПЛИС тактовых деревьев, а с помощью обычных трассировочных линий, которые не обеспечивают одновременную подачу фронта тактового сигнала на триггеры ПЛИС.

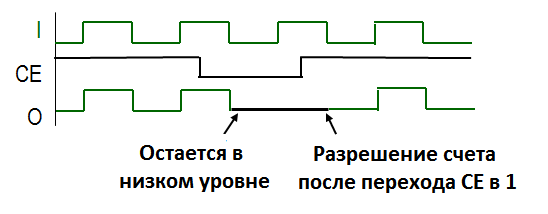
На рис. 2.8 показан специализированный компонент для работы в тактовых сетях ПЛИС Xilinx – BUFGCTRL. Он имеет множество функций, и при необходимости реализует некоторые типичные сценарии работы с тактовым сигналом.

**

*Рисунок 2.8 Специализированный компонент для работы в тактовых сетях – BUFGCTRL (ПЛИС Xilinx)*

На рис. 2.9 показаны временные диаграммы компонента BUFGCTRL при управляемом отключении тактового сигнала. Может показаться, что можно использовать вентиль И, на один из входов которого подать тактовый сигнал, а на второй – сигнал управления. Если этот сигнал равен 1, то выход И будет определяться тактовым сигналом, т.е. просто копировать его, но если подать на управляющий вход 0, то для элемента И значение выхода в любом случае станет равно 0. Однако это пример сценария, когда применять обычный вентиль И нельзя из-за потенциальных неопределенностей в работе схемы. Если отключить тактовый сигнал в произвольный момент, может оказаться, что уже начавшийся выходной импульс логической единицы окажется слишком коротким. Поскольку разные триггеры микросхемы имеют технологический разброс параметров, какие-то из них могут среагировать на короткий импульс, а для каких-то его длительности окажется недостаточно. Это приведет к непредсказуемой работе схемы.

Аналогичная ситуация может возникнуть при включении тактового сигнала в произвольный момент времени. Поэтому компонент BUFGCTRL при изменении значения управляющего сигнала нормальным образом завершает текущий импульс логической единицы или же не начинает новый импульс, если включение произошло в момент, когда логическая единица уже была на выходе.

**

*Рисунок 2.9 Временные диаграммы компонента BUFGCTRL в режиме управляемого отключения тактового сигнала*

Похожая проблема возникает при переключении между двумя тактовыми сигналами. Если произвести его в произвольный момент времени, нельзя гарантировать, что на выходе не окажется короткий импульс логической единицы, который приведет к срабатыванию только некоторых триггеров схемы. Аналогично, компонент BUFGCTRL в режиме переключения между тактовыми сигналами гарантирует нормальное завершение текущего импульса и переключается на второй тактовый сигнал только в момент, когда этот вход находится в состоянии логического нуля.

**

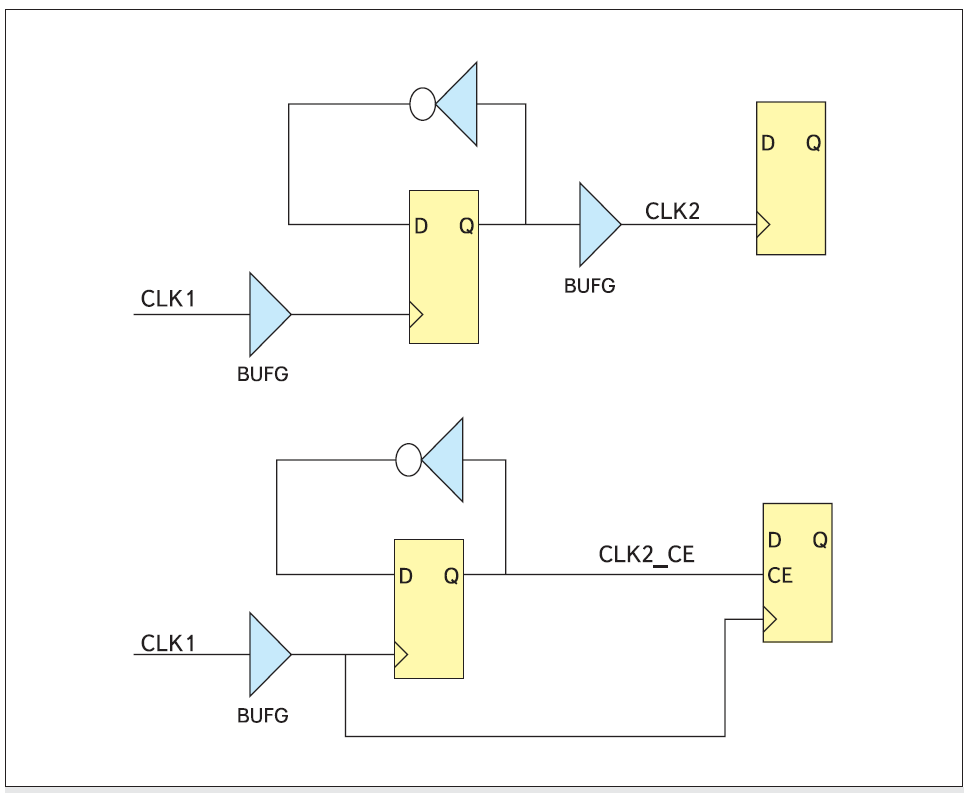
*Рисунок 2.10 Временные диаграммы компонента BUFGCTRL в режиме переключения (мультиплексирования) тактовых сигналов*

Компонент BUFGCTRL является примером узла, который требуется для нормальной работы цифровой схемы, однако не является автоматически переносимым между проектами. Например, при описании поведения тактового сигнала на уровне RTL невозможно указать, что конкретный сигнал должен проходить через специальный компонент (если только не использовано так называемое структурное описание схемы). Более того, сам факт наличия компонентов для управления тактовым сигналом зависит от аппаратной платформы – серии ПЛИС, ее производителя (например, компонент BUFGCTRL, описанный для ПЛИС Xilinx, отсутствует в ПЛИС Intel), а для СБИС такие компоненты могут требовать приобретения отдельных лицензий.

В целом сведения о специальных компонентах для управления тактовым сигналом приведены для того, чтобы проиллюстрировать практические сложности преобразования абстрактной цифровой схемы в реально работающее устройство. Теоретическое проектирование может проводиться в предположении, что все сигналы идеально соответствуют абстрактным моделям, компоненты срабатывают мгновенно, а тактовый сигнал подается на все триггеры в строго один и тот же момент времени. На практике же это не так. Для ПЛИС требуется выполнение рекомендаций производителя по применению специальных компонентов для управления тактовым сигналом, а для СБИС само наличие этих компонентов зависит от технологического процесса и имеющихся для него библиотек.

Для синхронного стиля проектирования существует ряд типичных ошибок, которые неочевидны при рассмотрении идеализированных моделей, однако они проявляются, когда эта схема оказывается реализованной в конкретной микросхеме (например, ПЛИС).

На рис. 2.11 показаны некорректный (сверху) и корректный вариант схемы делителя частоты.

**

*Рисунок 2.11 Некорректная (сверху) и корректная (снизу) схемы делителя частоты*

Предполагается, что второй триггер должен переключаться в два раза реже по сравнению с первым. Формально эта схема является работоспособной, и она будет работать, если собрать ее из дискретных компонентов. Однако можно заметить, что второй триггер на верхнем варианте схемы тактируется сигналом CLK2, который, хотя и подан через специальный тактовый буфер BUFG, отстает по фазе от сигнала CLK1. Если триггеры будут срабатывать в разные моменты времени, это не обязательно приведет к ошибке, однако опасность подобных решений именно в том, что появление проблем непредсказуемо и зависит от технологического разброса параметров компонентов, которые использованы для реализации такой схемы.

В варианте, показанном внизу, оба триггера используют один и тот же тактовый сигнал. Рассчитывая на то, что тактовая сеть в микросхеме реализована правильно и обеспечивает минимальное рассогласование по времени между приходом фронта на разные триггеры, можно полагать, что оба триггера срабатывают одновременно. Вместо того, чтобы подавать тактовый сигнал с частотой в 2 раза меньше, используется сигнал Clock Enable («разрешение счета»), который подается в 2 раза реже. Поэтому, несмотря на то что тактовый сигнал второго триггера имеет такую же частоту, как и первого, второй триггер может реагировать только на один фронт, а следующий будет пропускать, поскольку сигнал Clock Enable будет переключен в неактивное состояние.

На рис. 2.12 показан другой вариант схемы, которая формально является корректной, но может вызвать проблемы из-за реальных характеристик компонентов. Предполагается, что выходная частота в 16 раз меньше входной. Это планировалось выполнить следующим образом: 4-разрядный двоичный счетчик по мере счета перебирает выходные состояния от 0000 до 1111 (всего 16 состояний). Если состояние счетчика равно 1111 (1510), вентиль И формирует выходной сигнал логической 1, который в момент появления воспринимается триггером как фронт тактового сигнала.

Корректность работы такой схемы определяется характеристиками соединительных проводов. Например, если один из проводников короче остальных, переход от 0111 к 1000 может произойти так, что сначала изменится старший разряд, а потом остальные. Поэтому изменение произойдет в порядке 0111 – 1111 – 1000. Если бы элемент И имел большую задержку переключения, а проводники передавали сигналы за пренебрежимо маленькое время (как это было для технологических норм 250 или 180 нм), выход элемента И не успел бы переключиться в состояние логической 1, пока на его входах существовала комбинация 1111. Однако по мере уменьшения времени срабатывания логических элементов и увеличения технологического разброса уже не следует полагаться, что элемент И не успеет сформировать короткий выходной импульс («иголку»).

Важно, что проявление этого эффекта нестабильно и зависит как от экземпляра микросхемы, так и от температуры и колебаний напряжения питания. От такого влияния практически свободны синхронные схемы. Даже если на выходе логического элемента появятся «иголки», триггер запишет новое состояние по фронту тактового сигнала, который придет заведомо позже, когда эффекты «иголок» уже завершатся.

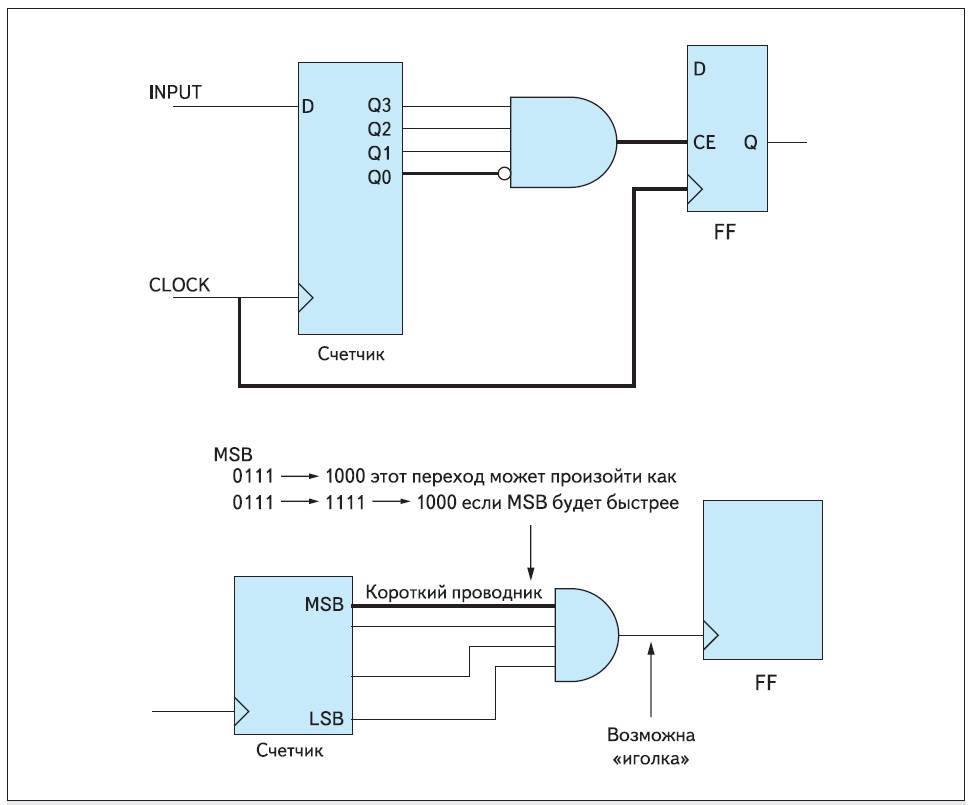
Корректная схема использует один и тот же тактовый сигнал для счетчика и триггера. Как и в предыдущем примере, вместо вмешательства в тактовый сигнал работа триггера приостанавливается с помощью сигнала Clock Enable.

Для обозначения типичных ошибок организации тактирования применяются следующие понятия:

- gated clock (дословно – «тактовый сигнал, управляемый вентилем») – схема, в которой элемент И используется для отключения тактового сигнала, недостаток этой схемы заключается в том, что выходной сигнал смещен по времени относительно входного;

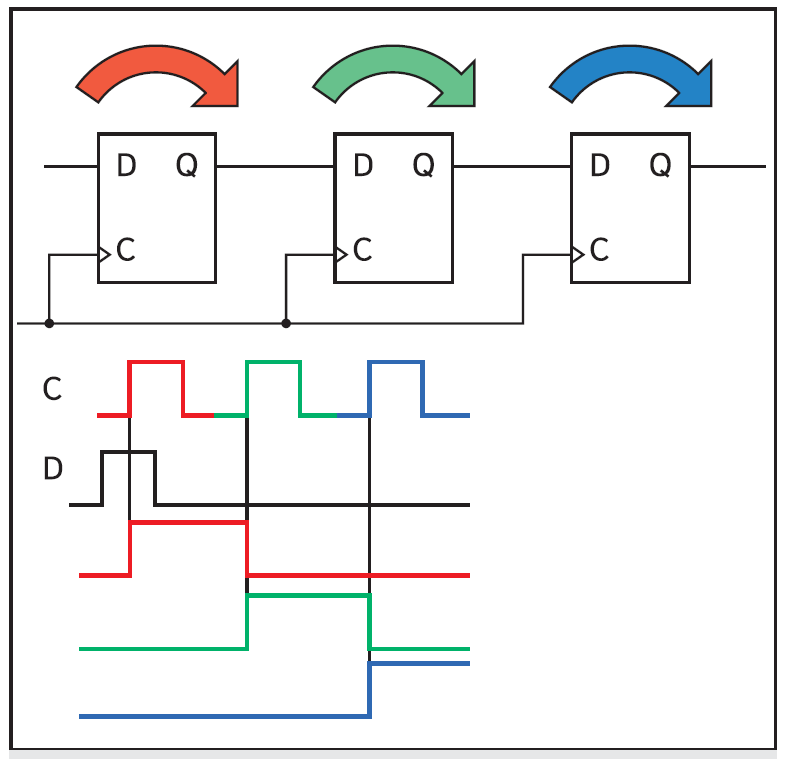
- divided clock («деленная тактовая частота») – схема, показанная на рис. 2.11, использующая схему T-триггера (триггер, переключающийся каждым тактом в противоположное состояние); как и в предыдущем примере, недостатком является смещение по времени выходного тактового сигнала;

- derived clock («производный тактовый сигнал») – тактовый сигнал, получаемый из выходных сигналов счетчика с помощью логических элементов; аналогичный недостаток – смещение по времени выходного тактового сигнала.

**

*Рисунок 2.12 Некорректная (снизу) и корректная (сверху) схемы делителя частоты*

Для синхронного стиля проектирования часто используется конвейер – последовательная передача данных от одного триггера к другому (возможно, с обработкой комбинационной логикой). Для такой схемы особенно важно, чтобы вся цепочка триггеров использовала один и тот же тактовый сигнал. Тогда можно будет достаточно просто анализировать ее работу, считая, что сигнал, поданный на первый в цепочке триггер, каждым тактом будет продвигаться на одну ступеньку дальше. Иллюстрация показана на рис. 2.13.

**

*Рисунок 2.13 Иллюстрация к понятию конвейеризованной синхронной схемы*

Конвейеризация активно используется в цифровых схемах, позволяя разбить сложную операцию на последовательность простых. Если для вычисления сложного выражения необходимо использовать слишком много логических элементов, которые в сумме будут иметь большую задержку, тактовая частота такой схемы окажется небольшой. Конвейеризация позволяет выполнить только часть преобразований, записав промежуточный результат в триггеры, а на следующем такте продолжив вычисление в другой части комбинационной схемы. Этот прием помогает увеличить тактовую частоту, а использование одного и того же тактового сигнала делает такую схему стабильной и хорошо моделируемой современными САПР.

2.7 Выводы по главе

Современные тенденции микроэлектроники показывают регулярное уменьшение технологических норм. При этом далеко не все параметры микросхем получают пропорциональное улучшение. Прежде всего, сохраняется рост плотности компонентов на единицу площади кристалла, однако тактовая частота повышается непропорционально. Вместе с этим растут стоимость подготовки производства и тепловыделение.

Фундаментальными проблемами являются «темный кремний», «стена памяти» и сложность реализации тактового сигнала для большой площади кристалла, что привело к появлению архитектуры GALS (глобально асинхронные, локально синхронные схемы). Эти проблемы не имеют универсального решения и должны учитываться при выборе архитектуры вычислительного устройства.

Особенности технологического процесса изготовления цифровых микросхем обуславливают применение определенных подходов к проектированию. Увеличение технологического разброса характеристик компонентов заставляет переходить к синхронному стилю проектирования, в котором триггеры схемы используют один и тот же тактовый сигнал.

Контрольные вопросы:

1. Что такое норма технологического процесса?

2. Как изменяются плотность компонентов, задержка распространения сигнала, энергопотребление и стоимость при переходе к меньшим нормам технологического процесса?

3. Почему планарная структура транзистора стала заменяться на другие?

4. Что такое «темный кремний»?

5. Представив 256-ядерный процессор в виде матрицы 16x16 ядер, какие проблемы можно предполагать при его проектировании?